

目 次

このマニュアルについて	2
0. 作業用フォルダの作成	4
1. Quartus II の起動	5
2. プロジェクトの設定	7
3. 回路設計 (HDL 記述入力)	16
4. 設計回路の合成 (コンパイル)	18
5. 入出力ピンの配置	20
6. 設計回路の論理シミュレーション	23
7. 設計回路の FPGA への実装	33
8. 付録 1 : シミュレーション入力方法	37

このマニュアルについて

このマニュアルは、本学科情報システムコースでの以下の実験・演習で行われるデジタル回路設計開発のための統合環境 **Quartus II** の利用マニュアルです。

ハードウェア実験 「2. 論理設計の基礎」
ネットワーク実験 「2. デジタル通信」
ハードウェア設計及び演習

.....

Quartus II(ALTERA 社製) は、ユーザが簡単に望みの論理回路 (集積回路) を実現するために開発されたソフトウェアです。そのため Quartus II では、論理回路の設計から FPGA への回路のダウンロード (回路の実装) までを一つのソフトウェアで実現することができます。

Quartus II 上での回路設計のおおまかな流れは次のとおりです。

- [1] 回路の設計
- [2] 設計回路の合成 (コンパイル)
- [3] 論理シミュレーション
- [4] FPGA へのダウンロード (実装)

本マニュアルでは、本コース実験・演習に必要な部分に限定しての Quartus II の使い方に記述してあります。また回路の設計には、回路エディタを用いる手法、HDL(VHDL, Verilog-HDL) による手法などが可能ですが、各種実験・演習では HDL を用いますので HDL 入力に関してのみ記載してあります。

このマニュアルの構成と全体の流れを図 1 に示します。

VHDL、Verilog-HDL の記述法についてはこのマニュアルではふれていませんので、別途参照して下さい。

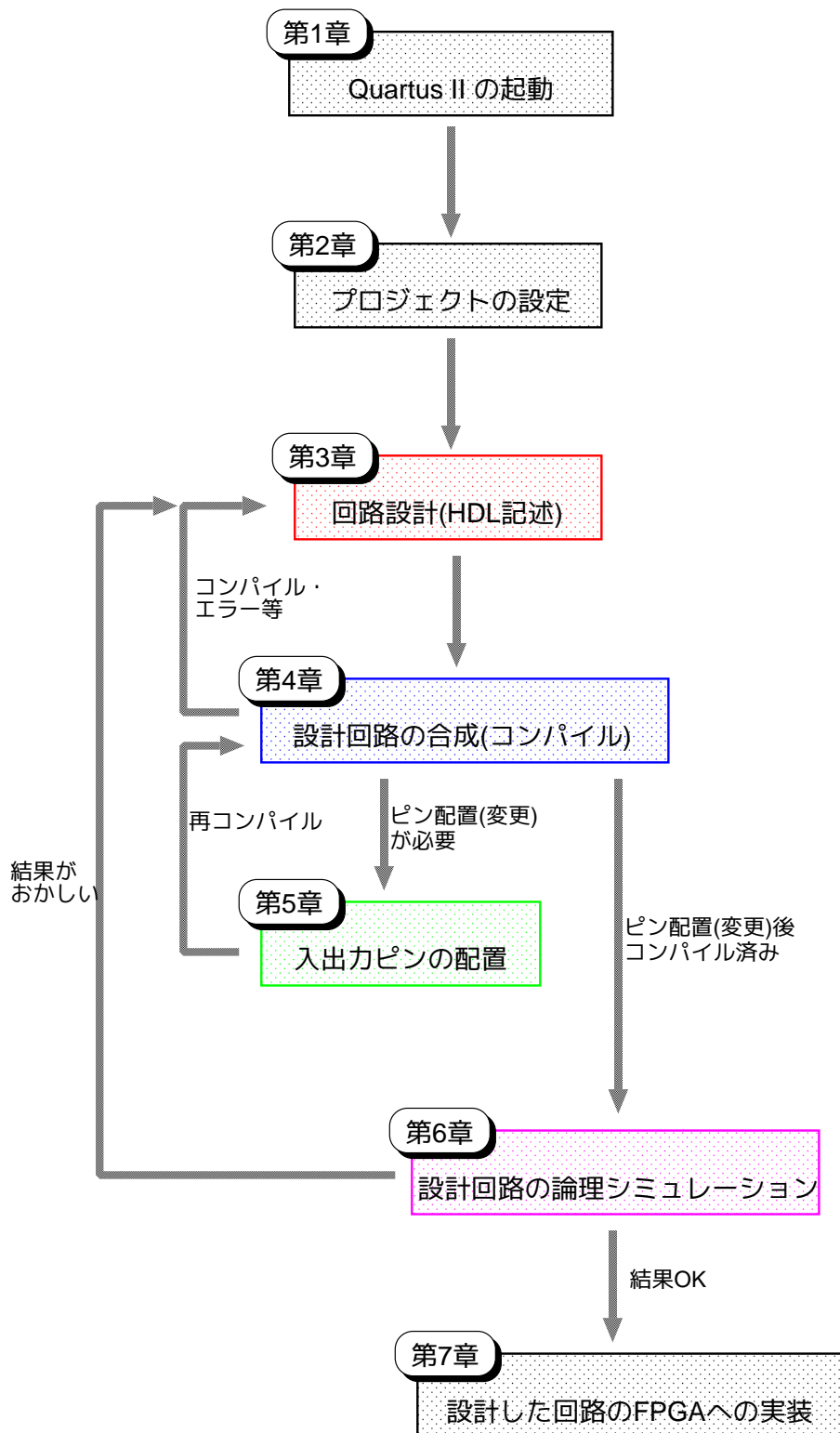
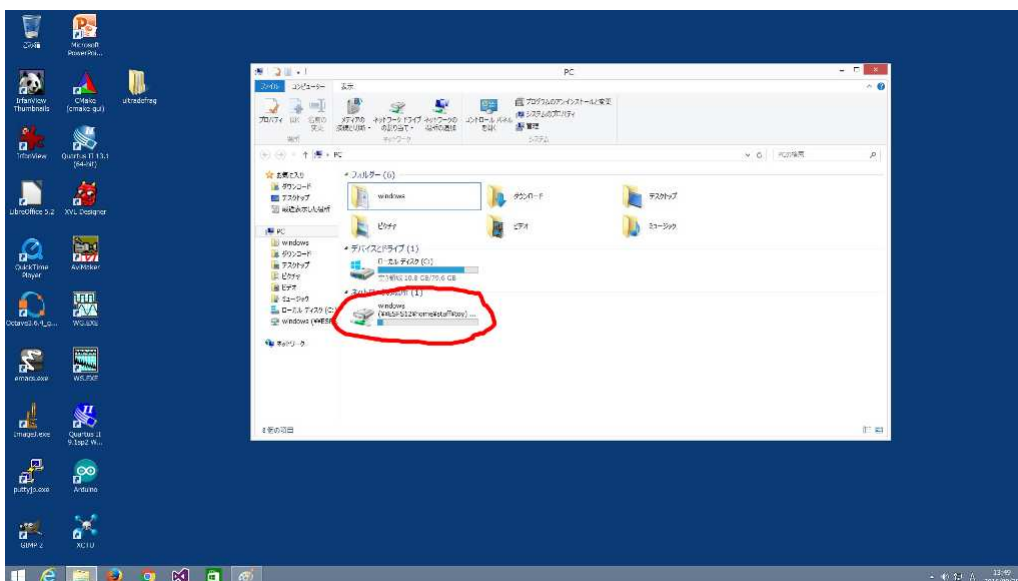


図 1: マニュアルの構成と回路設計の流れ

第0章 作業用フォルダの作成

ハードウェア実験およびネットワーク実験では Windows を使用しますが、実験を始めるにあたり、最初に実験のための作業用フォルダを作成します。

始めに、下図(上)の赤色で囲んだ部分をクリックすると、下図(下)のようなウィンドウが表示されます。続いて、下図(下)の赤色で囲んだ「windows」となっている箇所をクリックして開き、その中に作業用のフォルダを「半角英文字」の名前で作成します。



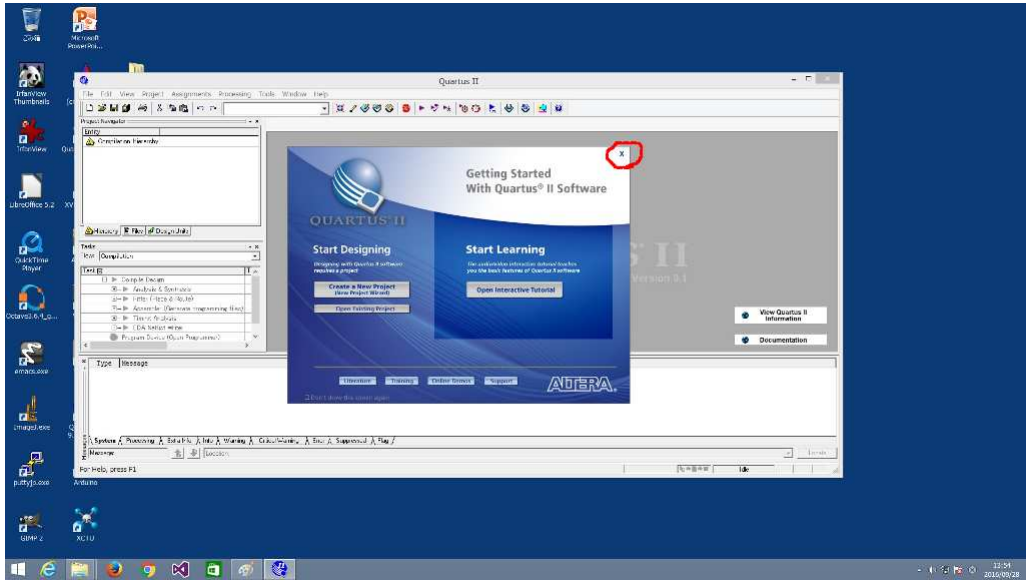
第 1 章 Quartus II の起動



上図のデスクトップ左側の赤色で囲んだアイコンをダブルクリックすると、下図のようなタイトル画面が表示され、



続いて、次ページ上図のウィンドウが表示されます。



ここで、上図の赤色で囲んだ部分をクリックして前面画面を閉じると、下図のような状態になり、以降の実験作業が出来る状態になります。

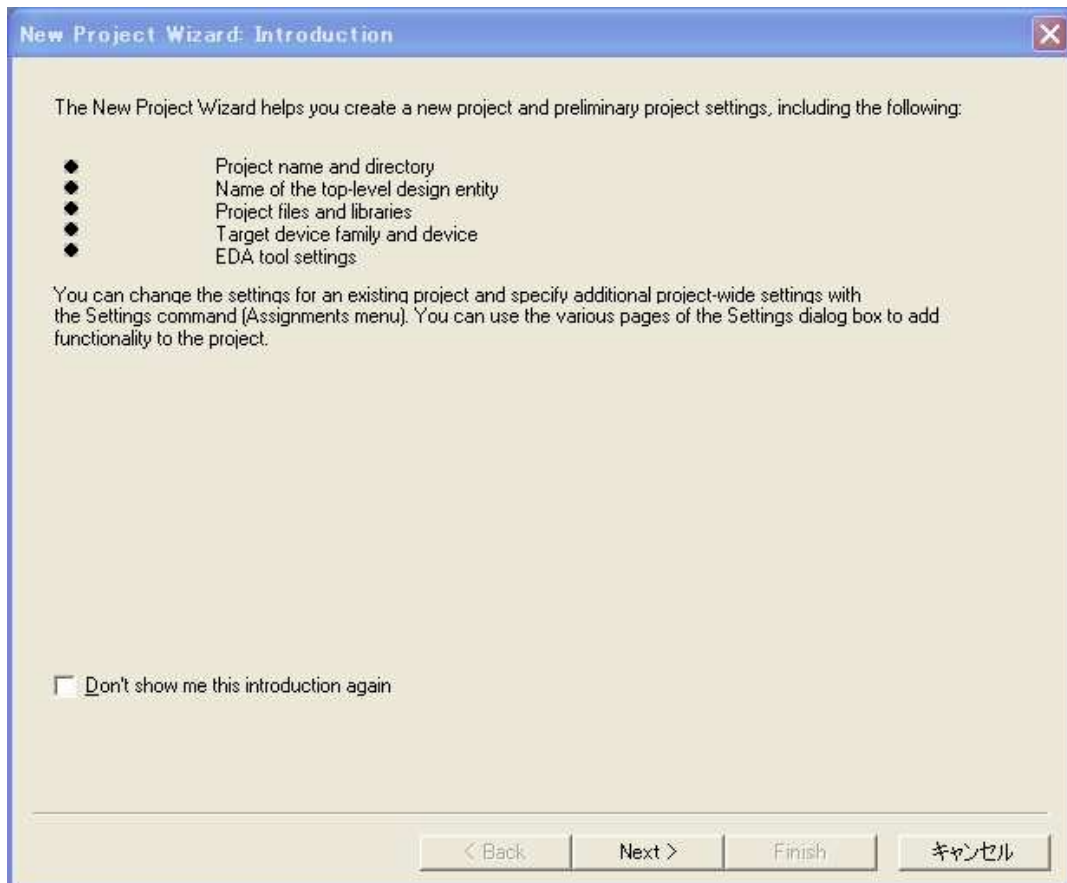


h

第 2 章 プロジェクトの設定

初めて回路を設計するとき、最初にプロジェクト¹の設定を行います。以降で設計する回路のメインファイル名やメイン回路名 (VHDL では entity 名、Verilog-HDL ではモジュール名) は、このプロジェクト名と同じにする必要があります。なお、プロジェクト名の先頭は必ず数字以外の半角英文字にしてください。

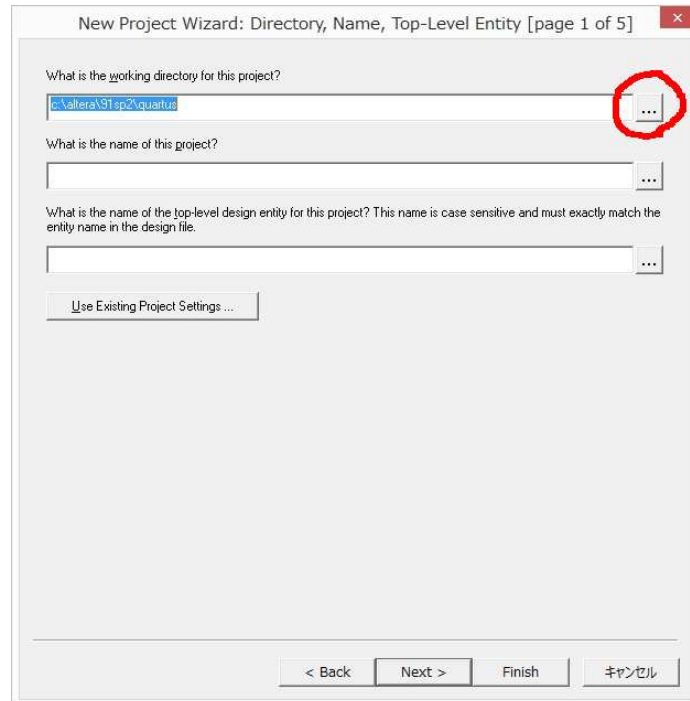
メインウィンドウ上部のメニューバーから「File」→「New Project Wizard...」を選択すると、下図のようなウィンドウが表示されます。



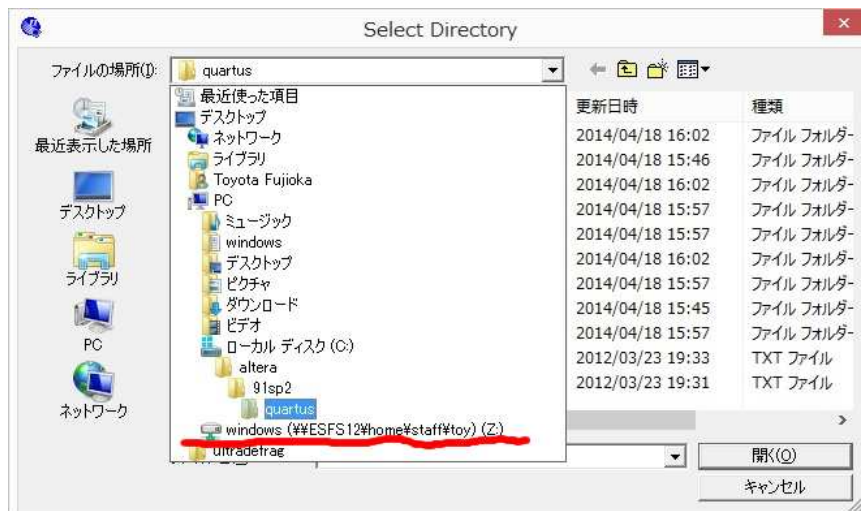
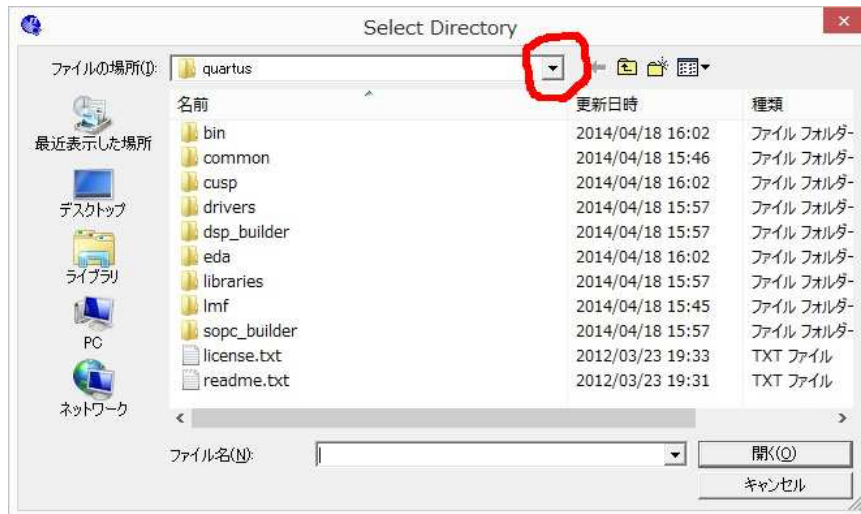
そのまま下にある「Next>」をクリックして次へ。

¹プロジェクトは、Quartus II による回路設計で生成される全てのファイルを管理しています。

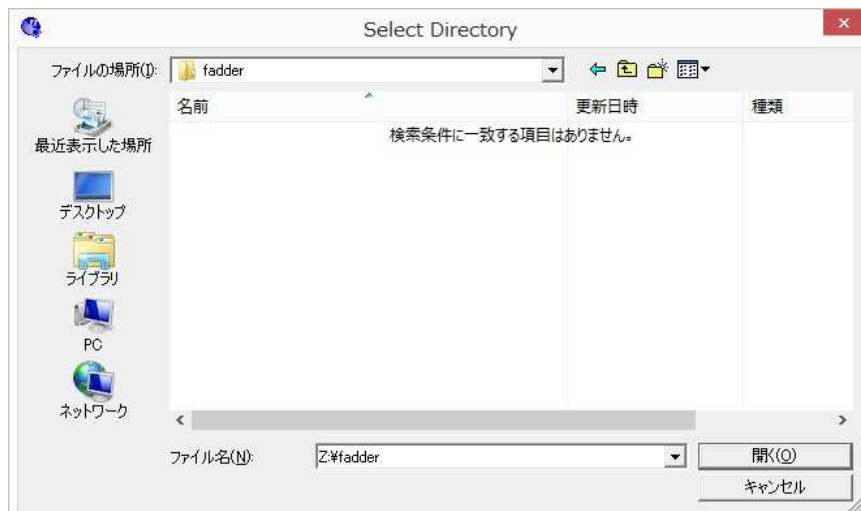
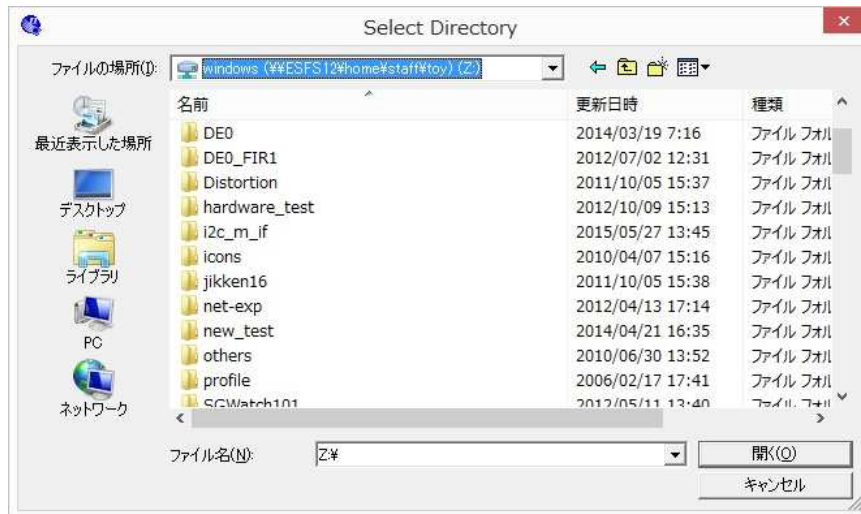
下図のような入力箇所が3つあるウィンドウが表示されます。次に、あらかじめ作成した作業フォルダを登録するために下図の赤色で囲んだ部分をクリックします。



続いて次図のようなダイアログウィンドウが表示されますので、同図の赤色で囲んだ部分をクリックすると次ページのような状態になります。



ここで上図の赤線の「windows」と記された部分をクリックすると、下図のような作業フォルダを作成したフォルダが開かれた作業用フォルダが表示されるはずなので、さらに作業用フォルダを開くと次ページの図のようなウィンドウが表示されます。



そして「開く」をクリックすると次ページのようなウィンドウが表示されます。

1 番上は先程登録した作業用フォルダのパスが表示されており、その下は空になっていますので、図のように上から2つ目の部分にプロジェクト名（回路名）を入力します。1 番下は、通常は2つ目と同じものが自動で入力されます。

New Project Wizard: Directory, Name, Top-Level Entity [page 1 of 5]

What is the working directory for this project?
D:\toy\fulladder ...

What is the name of this project?
fulladder ...

What is the name of the top-level design entity for this project? This name is case sensitive and must exactly match the entity name in the design file.
fulladder ...

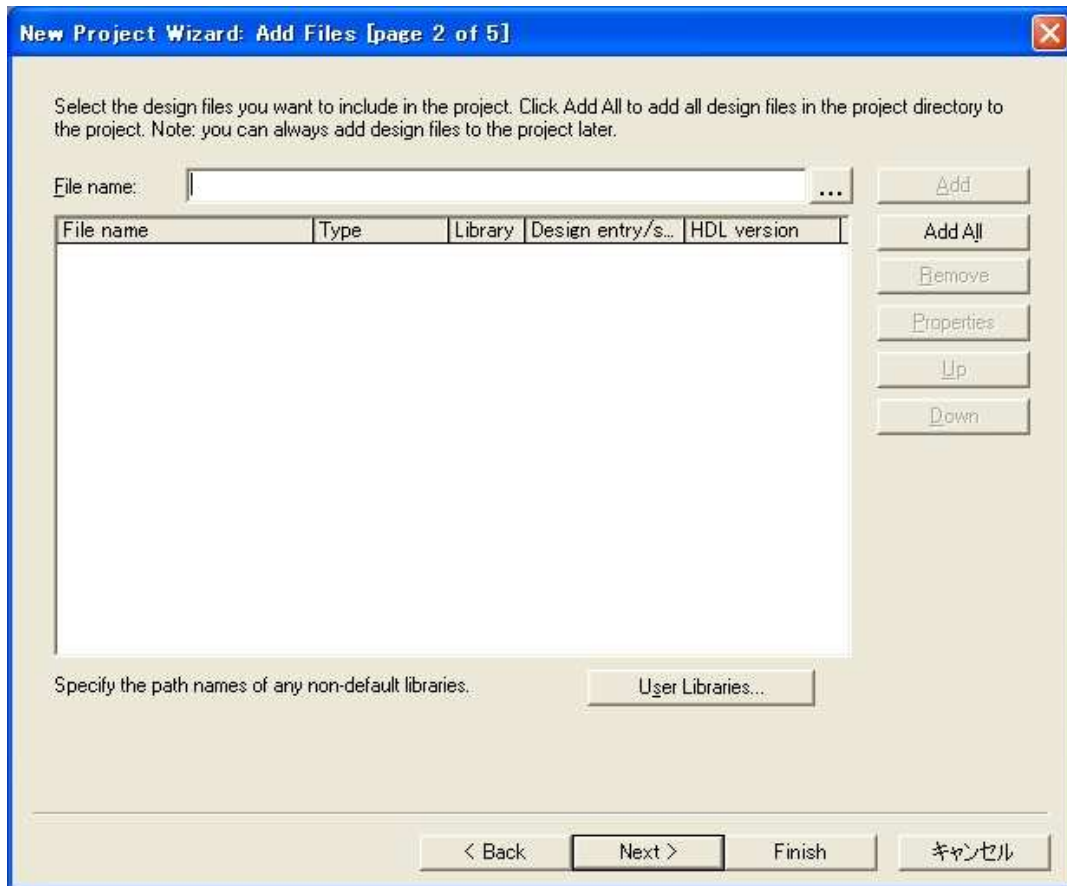
Use Existing Project Settings ...

< Back Next > Finish キャンセル

それぞれ入力後、下の「Next>」をクリックして次へ。

(注) 実験・演習などで同じフォルダに複数のプロジェクトを作ろうとすると、「Next>」をクリックした後にプロジェクトが複数つくられるという注意を促すダイアログ画面が出ます。大概は複数作っても問題はないと思いますので、このときは「いいえ」をクリックして先に進んで下さい。

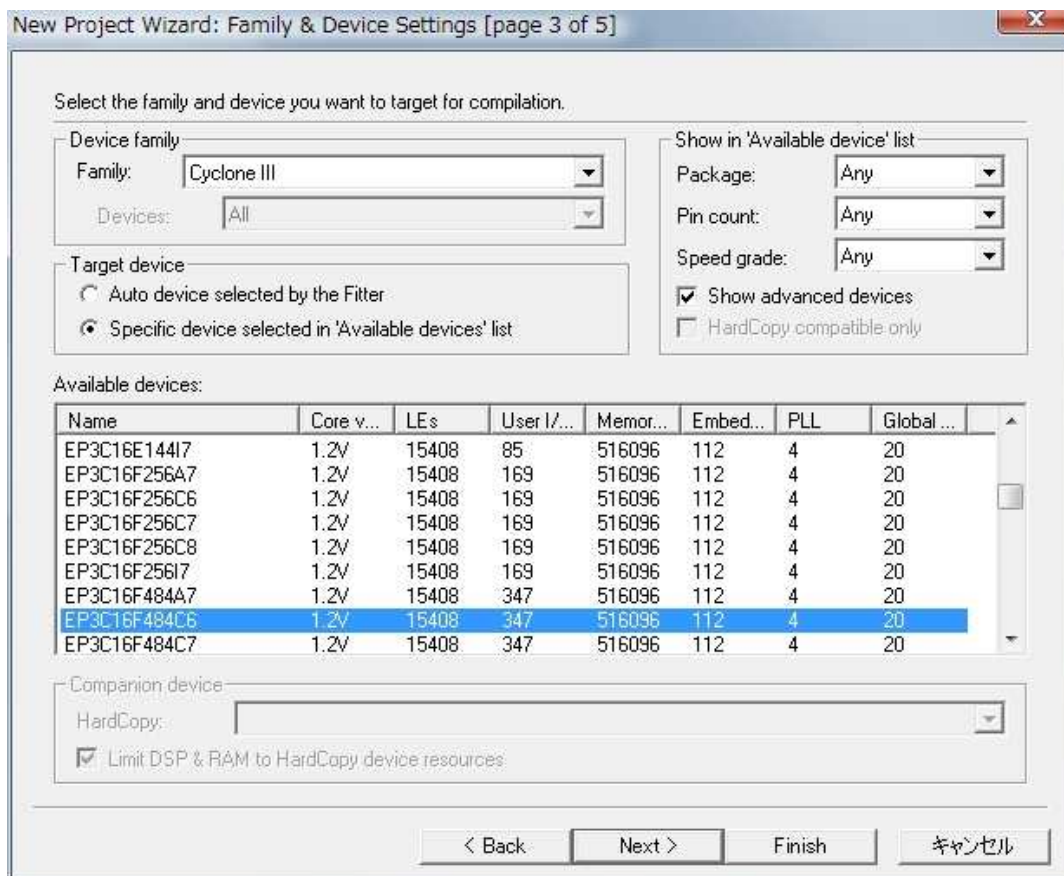
続いて下図のようなウィンドウが表示されますので、もしライブラリ等で追加するファイルがある場合には、左側の「Add All」をクリックするか、または上の **File name** : で追加したいファイルを選択して左側の「Add」をクリックします。



その後、下の「Next>」をクリックして次へ。

次に下図のようなウィンドウが表示されたら、始めに上部の **Device family** を選択し、続いて下の **Available devices:** で使用するデバイス名を選択します。DE0 ボードで使用できるのは以下のデバイスです。

Device family	Available devices
CycloneIII	EP3C16F484C6



選択後、下の「Next>」をクリックして次へ。

次の下図のウィンドウでは何もせずに、下の「Next>」をクリックして次へ。

New Project Wizard: EDA Tool Settings [page 4 of 5]

Specify the other EDA tools -- in addition to the Quartus II software -- used with the project.

Design Entry/Synthesis

Tool name: <None>

Format:

Run this tool automatically to synthesize the current design

Simulation

Tool name: <None>

Format:

Run gate-level simulation automatically after compilation

Timing Analysis

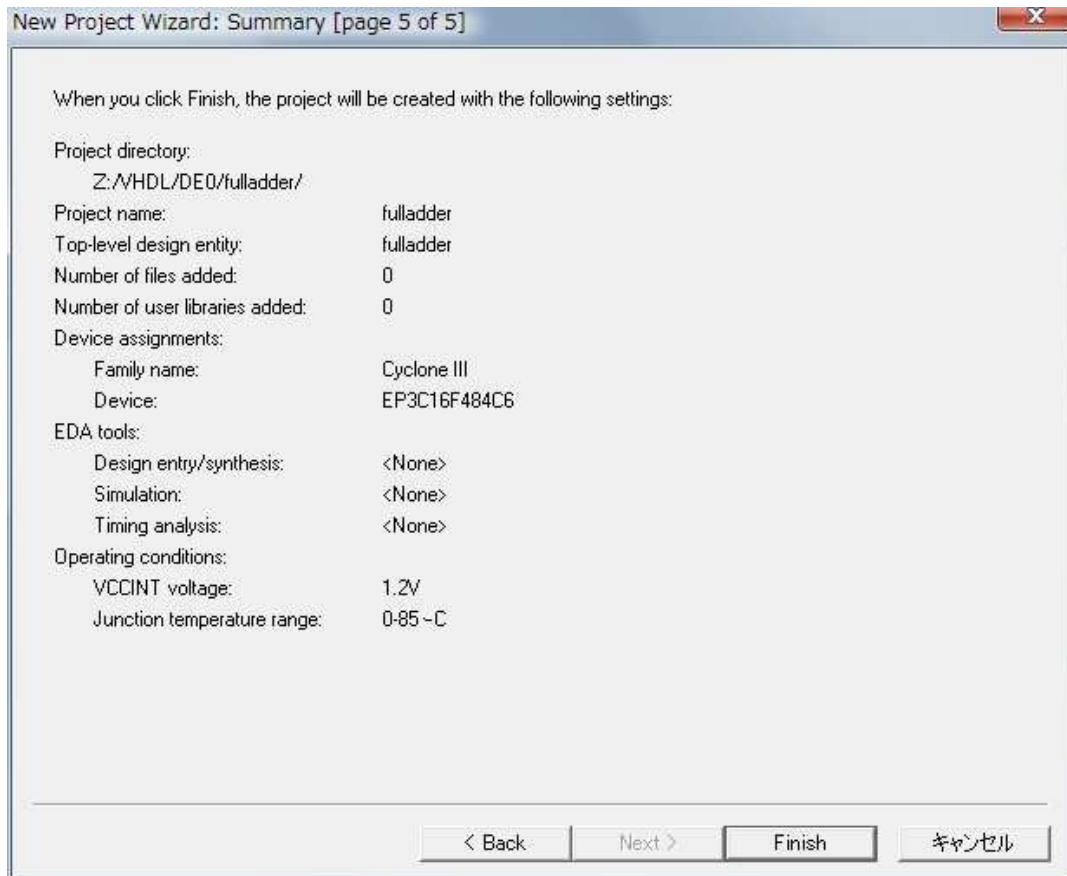
Tool name: <None>

Format:

Run this tool automatically after compilation

< Back Next > Finish キャンセル

最後に下図のウィンドウが表示されたら正しく設定されたか確認後、下の「**Finish**」をクリックしてプロジェクトの設定が完了します。

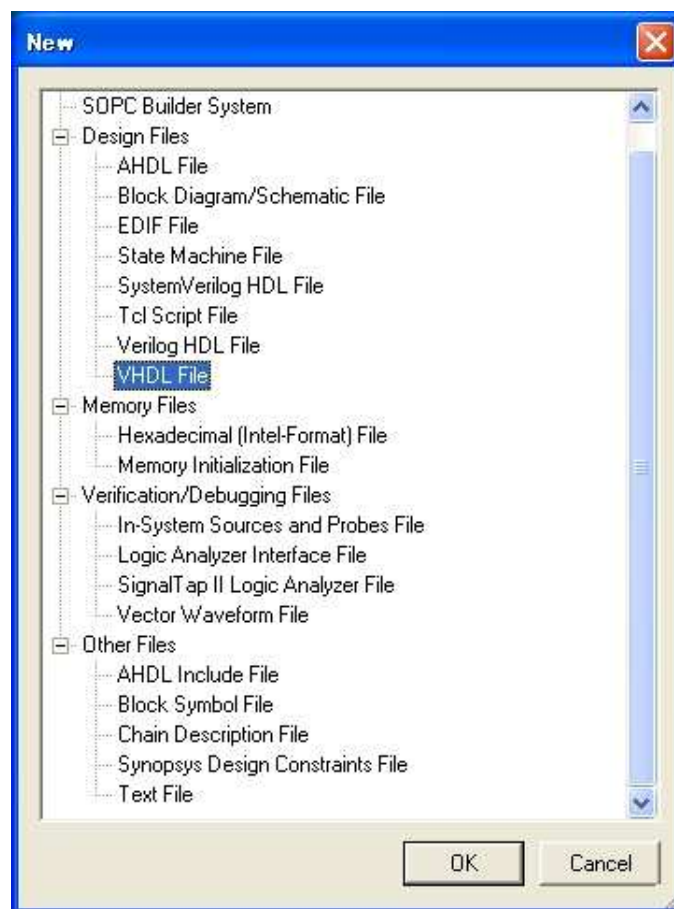


第 3 章 回路設計 (HDL 記述入力)

各種実験・演習では、HDL 記述 (VHDL 記述) により回路設計を行います。

3.1 プログラムエディタの起動

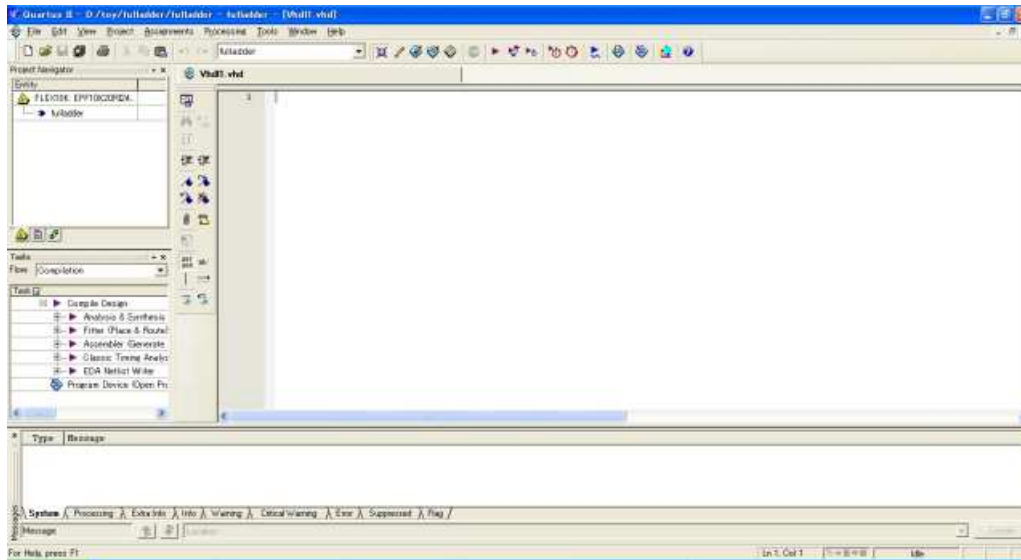
メインウィンドウ上部のメニューバーから「File」→「New...」を選択すると、下図のようなウィンドウが表示されます。



ここで **Design File** → **VHDL File**(図の反転表示部) を選択して「OK」をクリックします。

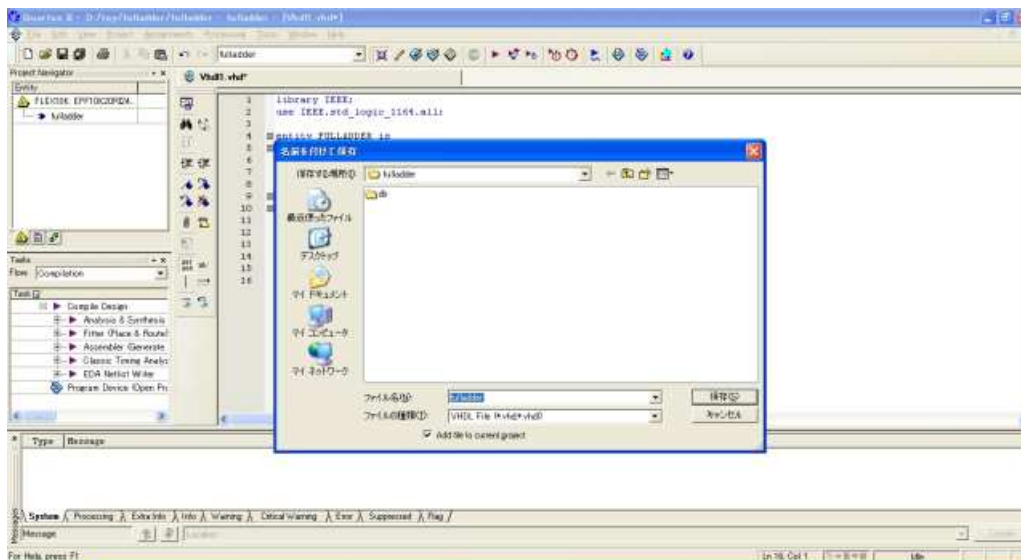
3.2 HDL 記述の入力

エディタが起動されると、下図のようなエディット・ウィンドウが表示されます。ここに HDL のソースを記述していきます。



3.3 HDL 記述の保存

HDL 記述が終わったら、メニューバーから「File」→「Save」で下図のように保存します。



保存する際、拡張子は必ず **.vhd** として下さい。このとき、第 2 章でも述べたようにプログラムファイル名はプロジェクト名 (+ 拡張子) と同じでなければなりません (後の回路合成時にエラーとなります)。

第 4 章 設計回路の合成 (コンパイル)

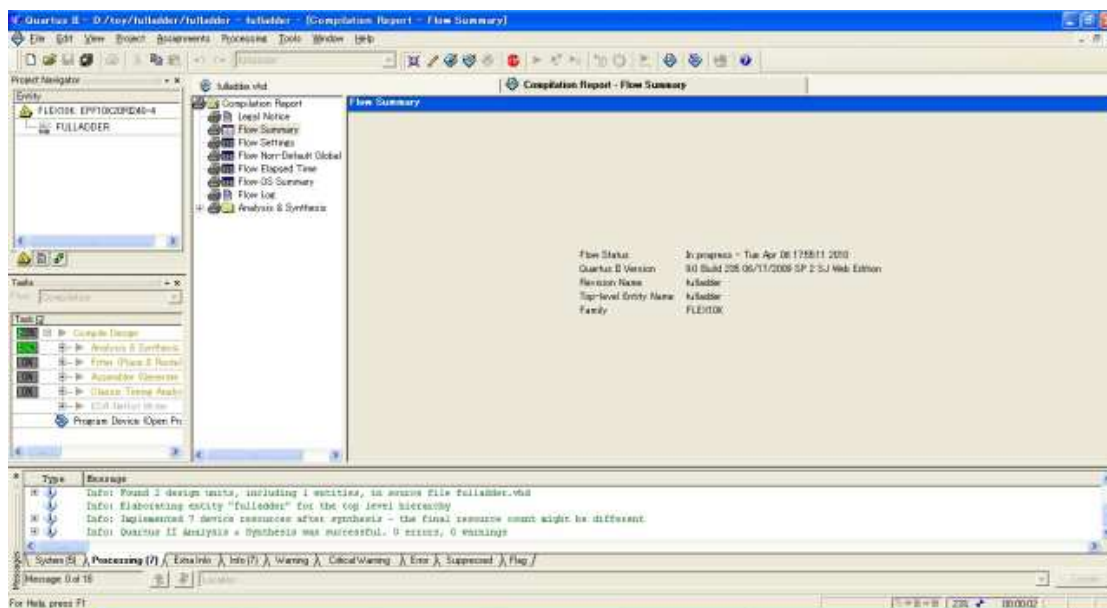
HDL を用いて回路を記述 (設計) したら、次に FPGA に実装するための回路合成を行います。

4.1 コンパイル開始

メインウィンドウ上部に下図のようなツールボタンが並んでいます。

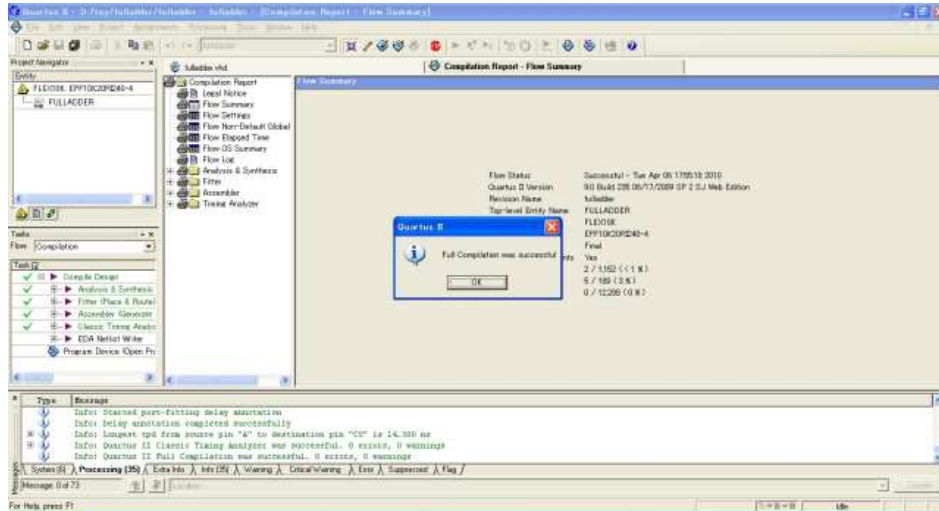


ここで上図の赤で囲んだボタンをクリックすると、下図のようにコンパイルが始まり、ウィンドウ左側にコンパイル過程が表示されます。

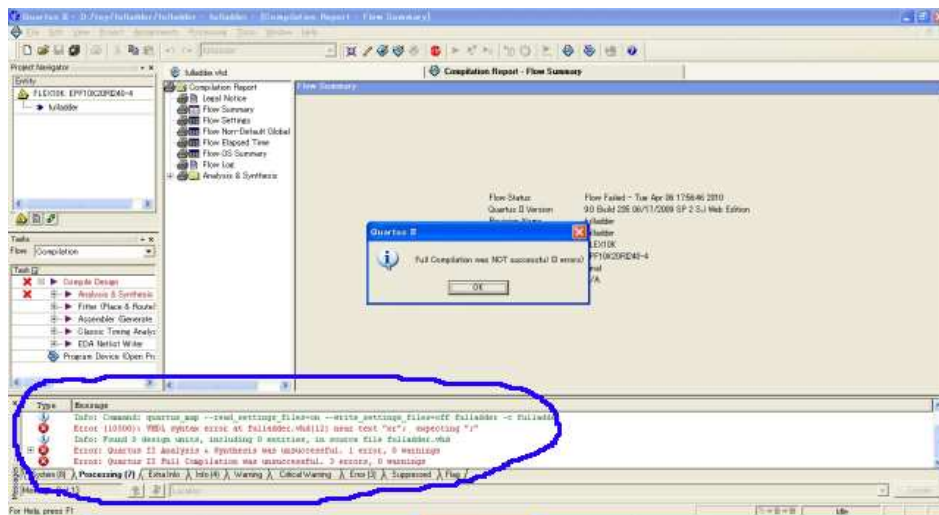


4.2 コンパイル結果

問題なくコンパイルが完了すると、下図のように **Full Compilation was successful** というダイアログが表示されますので、「OK」をクリックします。このとき、**Warning** がある旨が表示される場合もありますので、その時はメインウィンドウ下のログをチェックし内容に応じて修正します。そしてコンパイル結果が表示されたウィンドウを確認しつつ次の作業に進みます。



ここでなんらかのエラーあった場合には、下図のように **Full Compilation was NOT successful (** errors)** などのようなダイアログが表示され、エラーの内容について青で囲んだ部分に表示されますので、それらの内容にしたがってHDL記述に修正を加えていき、再度合成を行います。



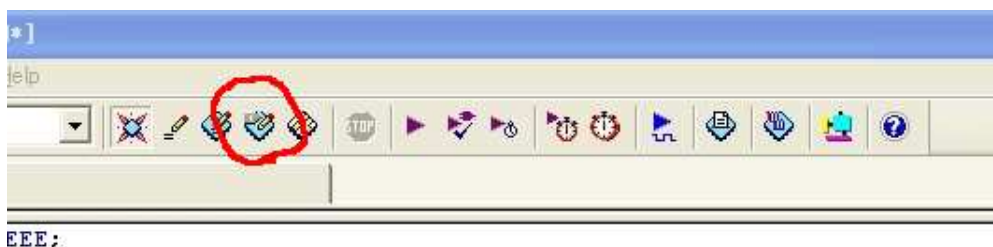
(注) 場合によっては無視しても良いワーニング(エラーではない)が出る場合がありますので、どうしてもわからない場合は担当の方などに確認して下さい。

第 5 章 入出力ピンの配置

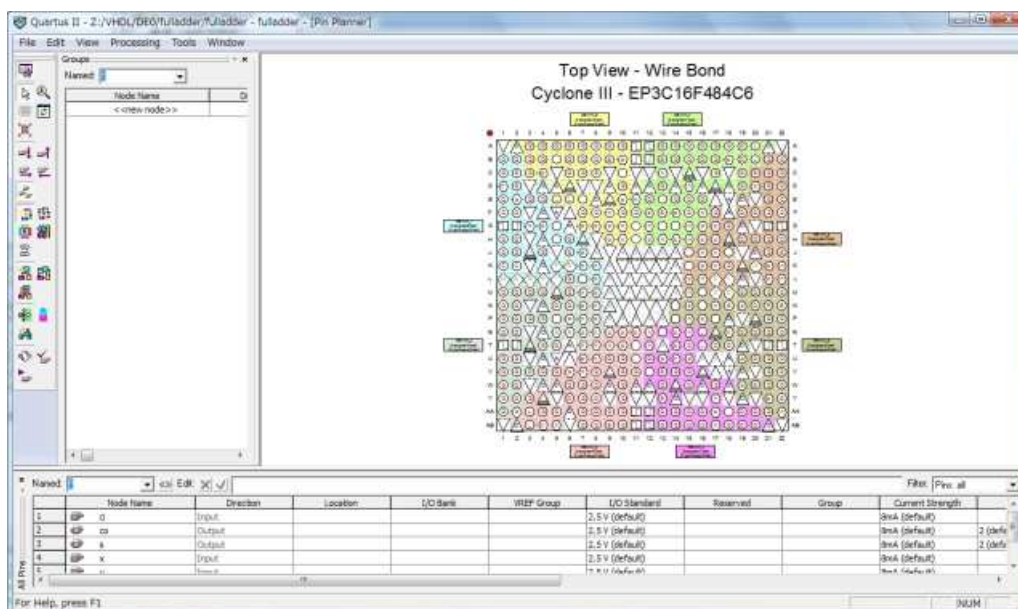
第 4 章で回路の合成を行いました。しかし、実際に FPGA ボードで回路を動作させるためには、FPGA の特定のピンから信号を入出力する必要があります。本章では、HDL で記述された入出力を、FPGA 上の使用するピン位置に割り当てていきます。そして、その後再合成 (コンパイル) を行うことにより、ピン配置も含めての適切な回路が合成されることになります²。

(注) ピン配置または変更後は必ず再コンパイルを行って下さい。

5.1 ピン配置画面の表示



メインウィンドウ上部ツールボタンの赤で囲んだボタンをクリックすると、下図のようにピン配置画面が表示されます。



²一部配置できないピンがありますので、それらのピンを使用した場合はコンパイルができなくなる場合があります。

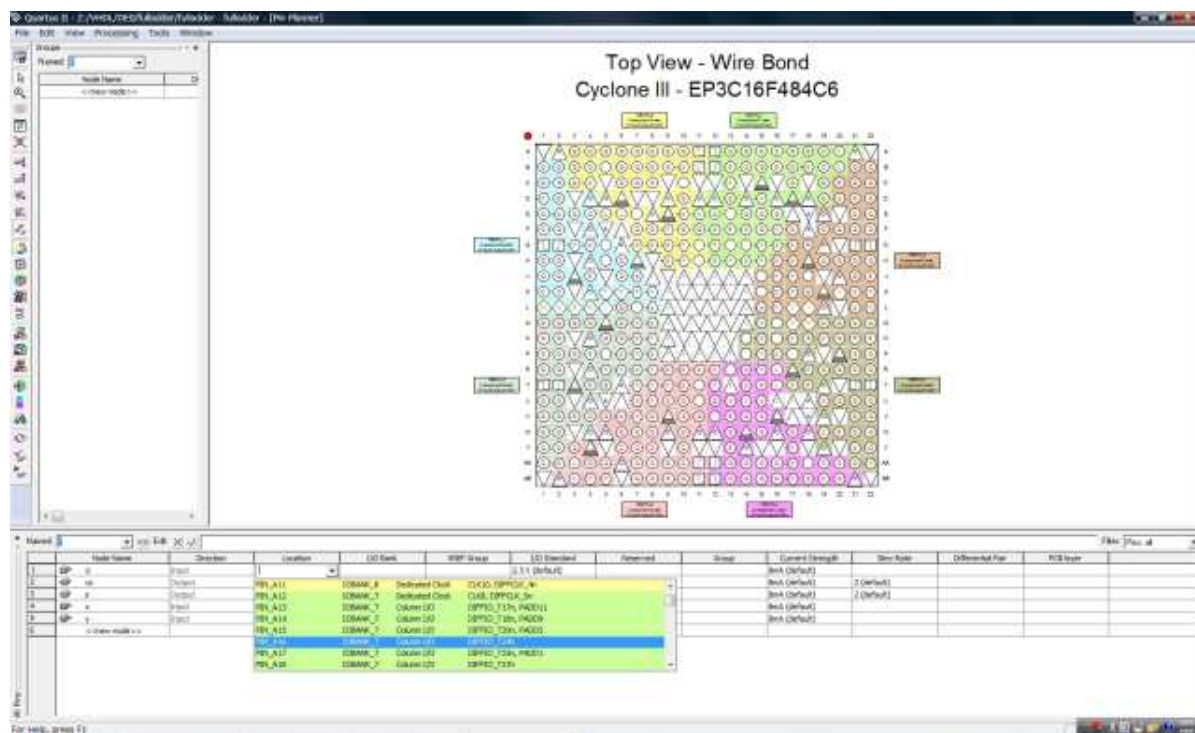
.....

ピン配置には2種類の方法がありますが、いずれか扱い易い方法で配置して下さい。

.....

5.2 ピン配置方法その1 - 信号名にピン番号を割り当てる

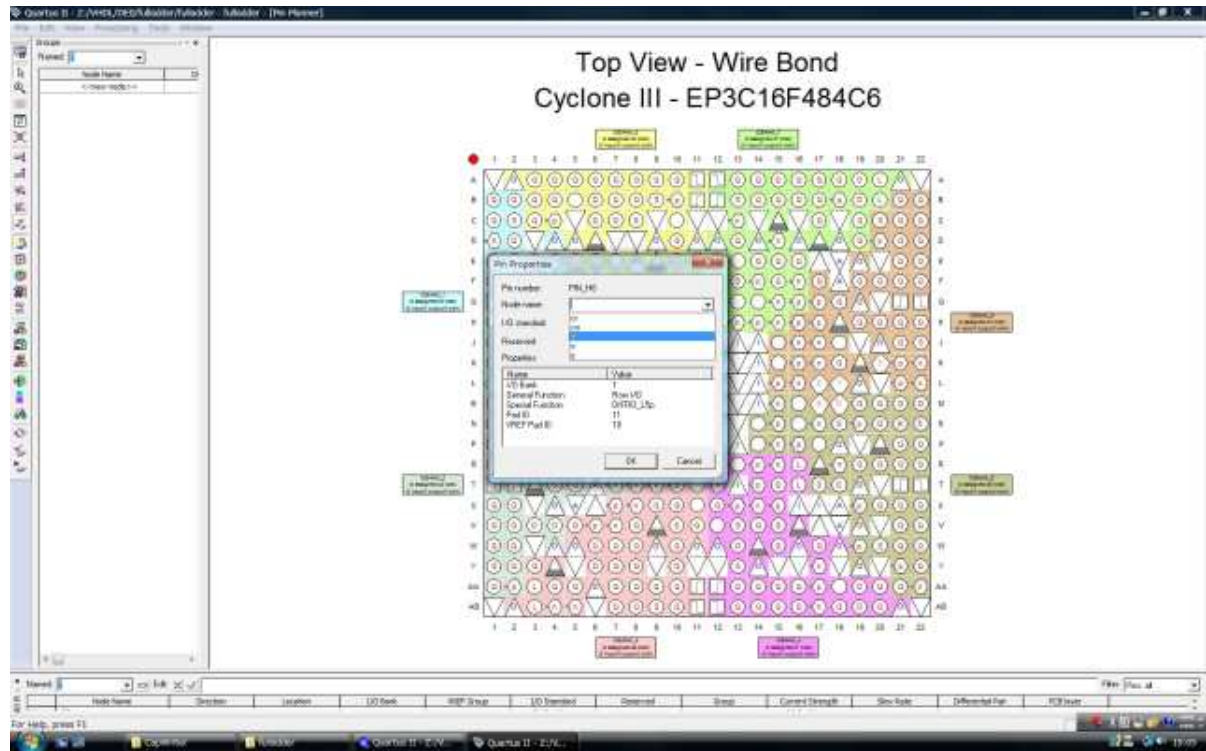
ピン配置画面下側に、Excelのシートのような配置可能ピン名が表示された表がありますので、下図のように表のLocationの該当するセルをダブルクリックしてプルダウン画面を表示し、配置するピン番号を選択します。



ピン配置を終えたら、配置画面を閉じて再コンパイルを実行します。

5.3 ピン配置方法その2 - ピンに信号名を割り当てる

ピン配置画面上側にFPGAの絵が表示されていますので、下図のように適当に拡大して配置したいピンをダブルクリックしてピン配置ダイアログを表示し、配置する信号名を選択し、下の「OK」をクリック。



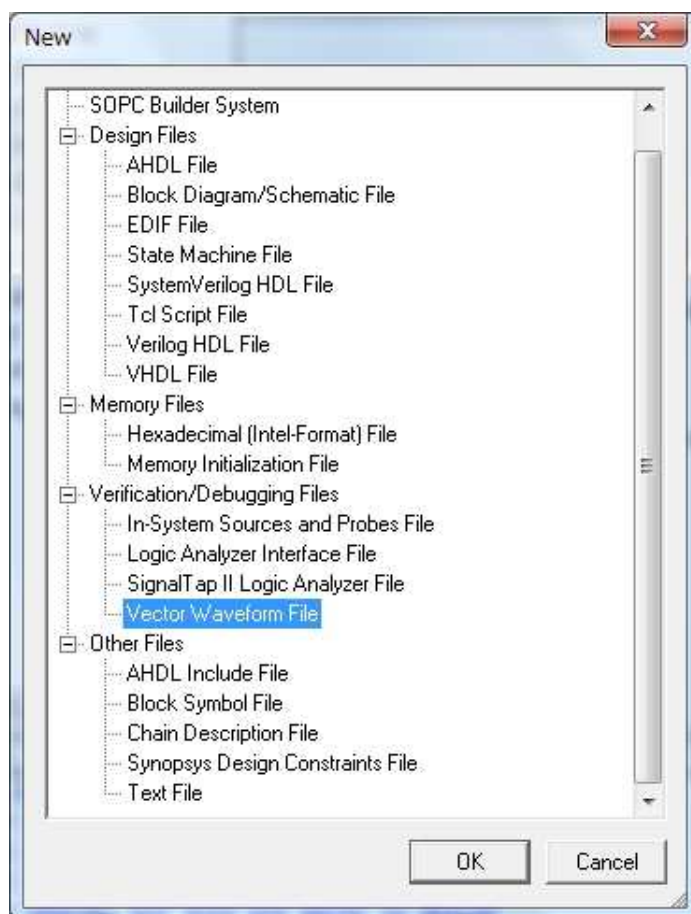
ピン配置を終えたら、配置画面を閉じて再コンパイルを実行します。

第 6 章 設計回路の論理シミュレーション

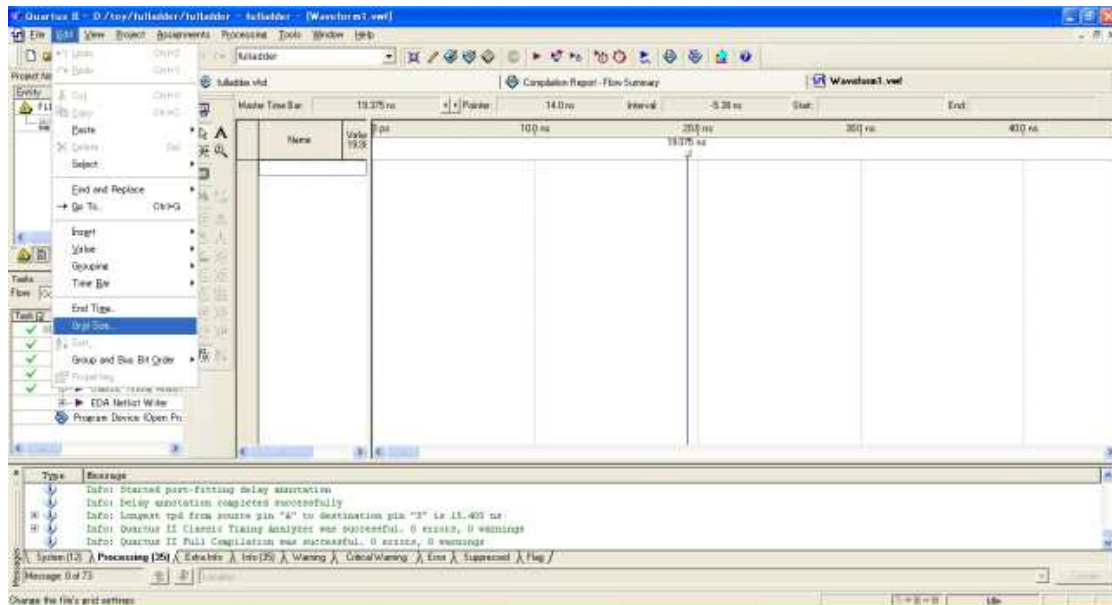
前章までで、目的の FPGA へ実装可能な回路が合成されました。しかし今の段階では、合成された回路が論理的に正しいかどうか (所望の動作をするものであるかどうか) までは確認できていません。本章では、合成された回路が論理的に正しく動作するものであるかどうかの確認を行います。

6.1 シミュレーションデータ入力画面の表示

メインウィンドウ上部のメニューバーから「File」→「New...」を選択すると、下図のウィンドウが表示されますので **Verification/Debugging File** → **Vector Waveform File**(図の反転表示部) を選択して「OK」をクリックします。



すると、下図のようなシミュレーション入力画面が表示されます。



6.2 Grid Size の設定

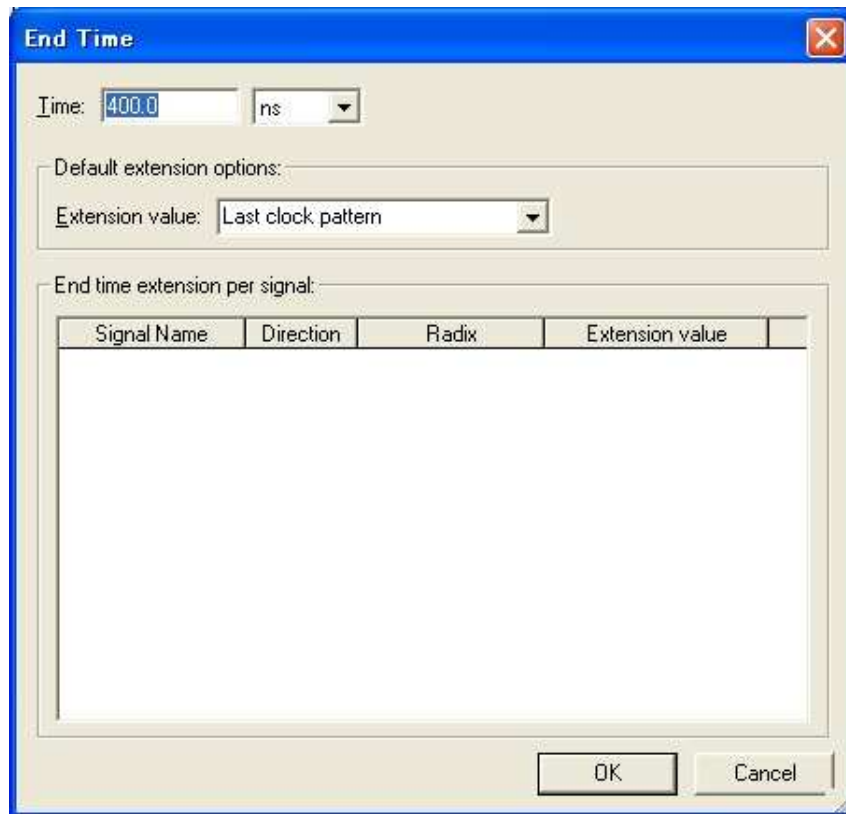
メニューバーから「Edit」→「Grid Size...」を選択すると、下図のようなウィンドウが表示されます。



ここでシミュレーションデータ入力用のグリッドサイズを設定します。ここでは、シミュレーション入力の最小時間範囲を設定することになります。

6.3 End Time の設定

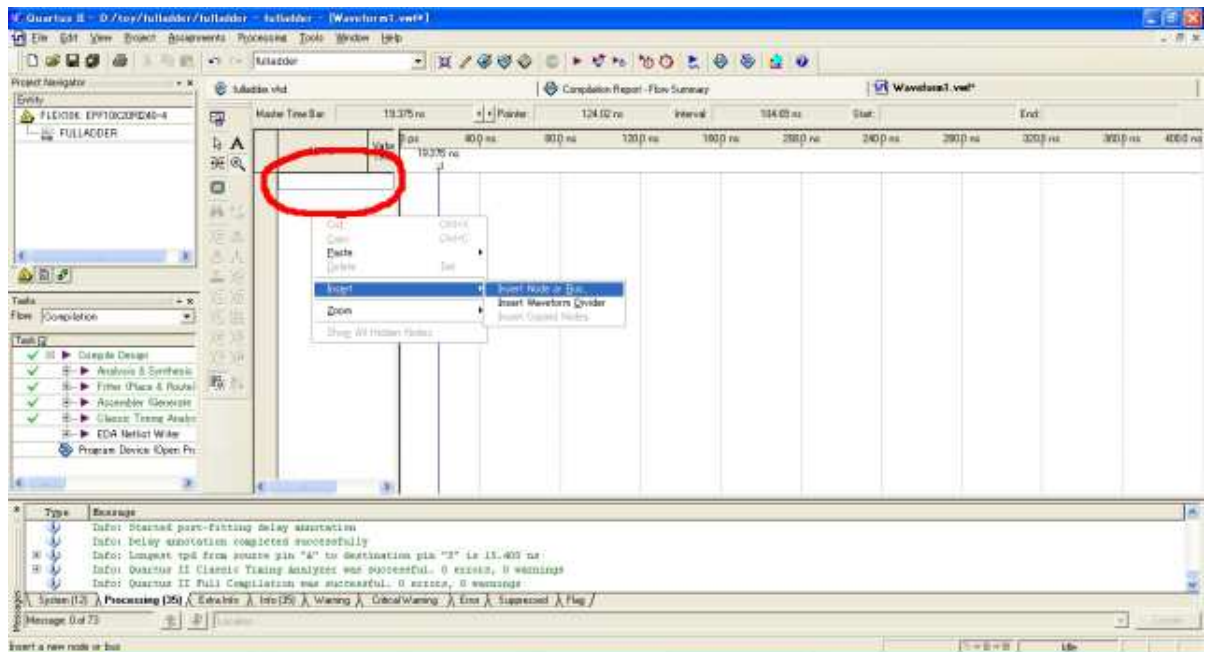
メニューバーから「Edit」→「End Time...」を選択すると、下図のようなウィンドウが表示されます。



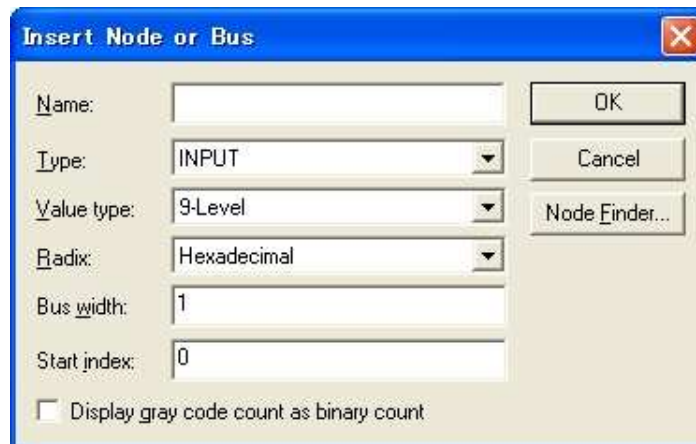
ここでシミュレーション総時間を設定します。ここでは、6.2 節で設定したグリッドサイズを元に何クロックシミュレーションするかを考えて決定することになります。

6.4 シミュレーション入出力ピンの設定

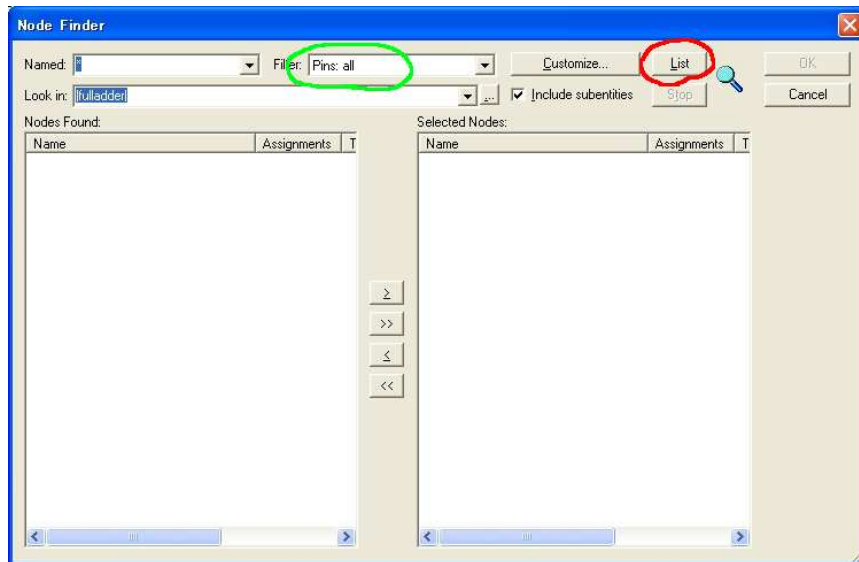
次に、下図のようにシミュレーション入力画面の赤で囲んだ **Name** 部を右クリックして表示されたプルダウンメニューから「Insert」→「Insert Node or Bus」を選択します。



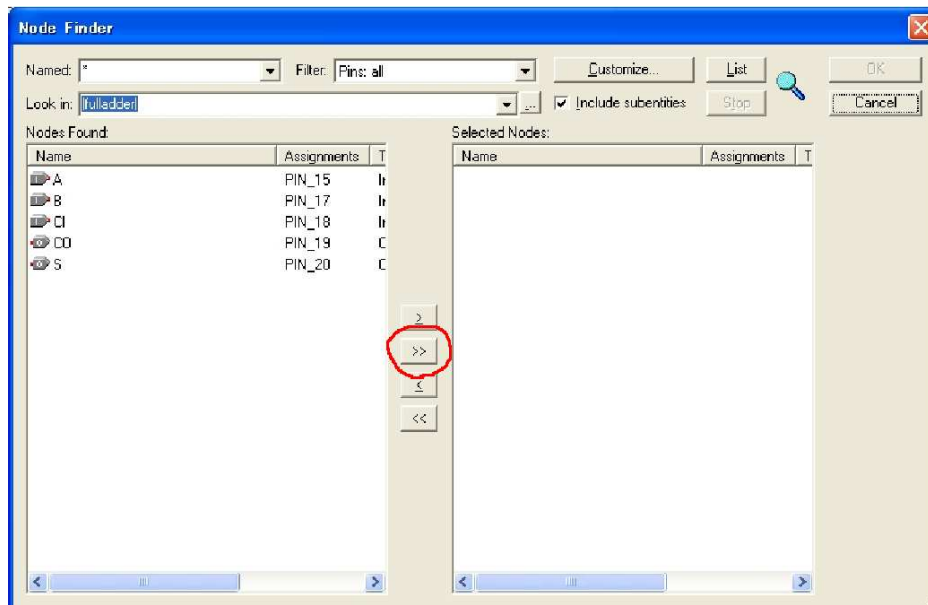
すると、下図のようなウィンドが表示されますので、右側にある「NodeFinder...」ボタンをクリックします。



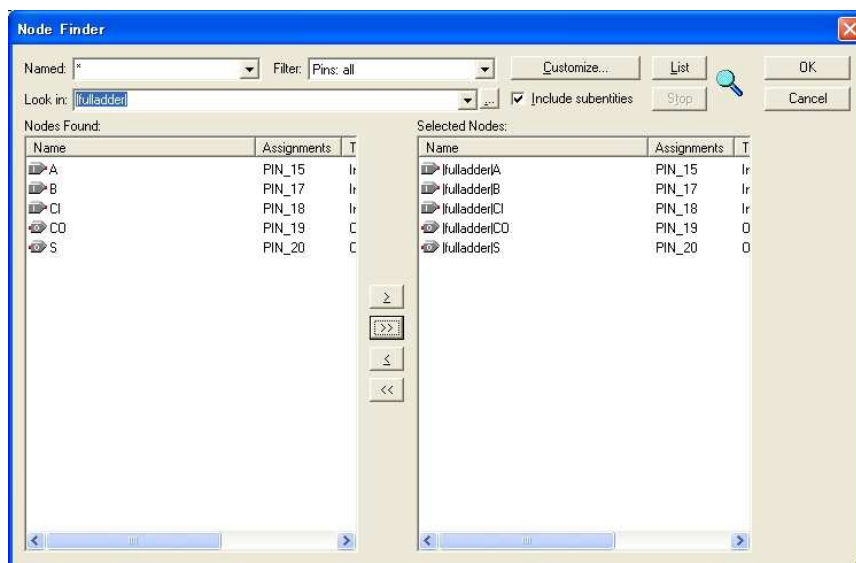
下図のようなウィンドウが表示されますので、右上の赤で囲んだ「List...」をクリックします。この際、下図の緑で囲んだ部分でシミュレーション対象を選択できます。この図では、緑で囲んだ部分で **Pins: all** が選択されているため、表示されるのはその次の図のように入出力ピンのみです。内部変数等もシミュレーションしたい場合は必要に応じて変更してから「List...」をクリックします。



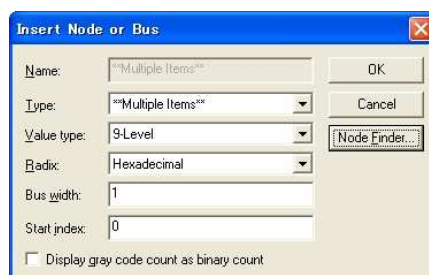
すると、下図のように左側にシミュレーション可能なピンが表示されますので、続いて赤で囲んだボタンをクリックします。



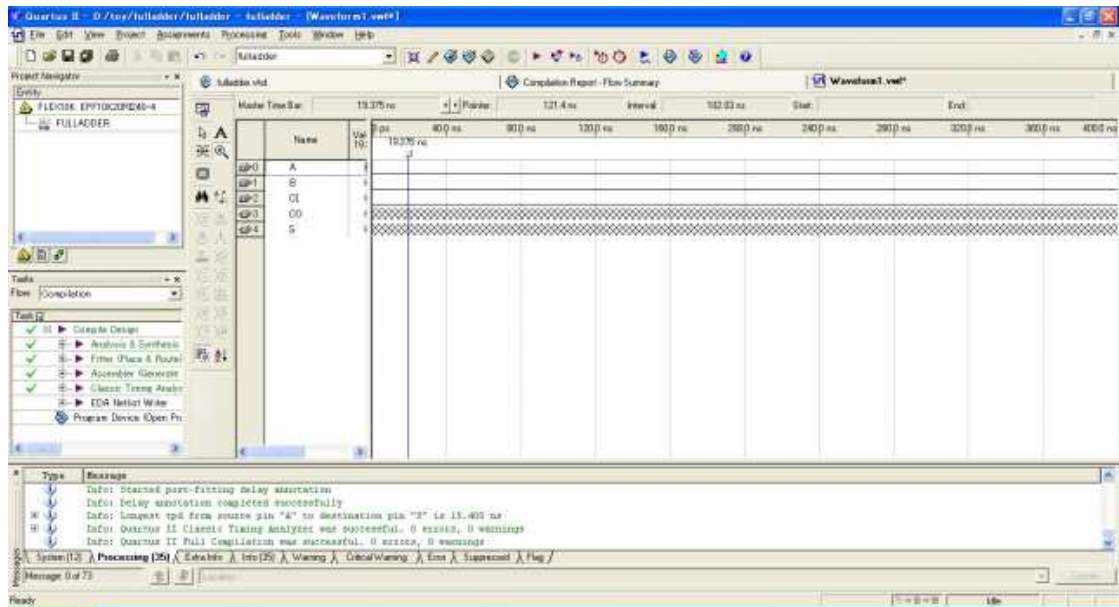
下図のように右側にシミュレーションするピンが表示されますので、右上の「OK」ボタンをクリックします。



すると、下図のように **Insert Node or Bus** ウィンドウの **Type** の部分が “Multiple Items” となりますので、「OK」ボタンをクリックします。



下図のようにシミュレーション入力画面に信号ピンが表示されます。

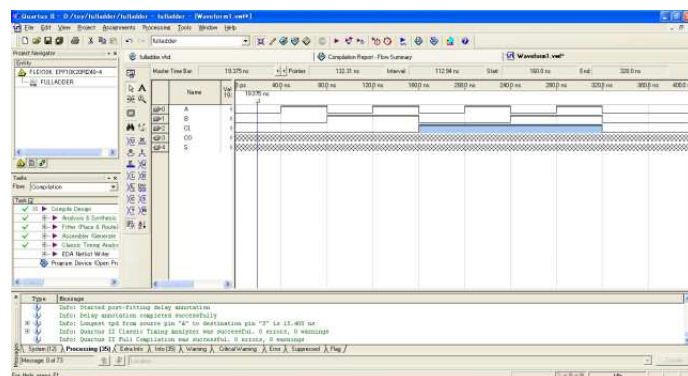
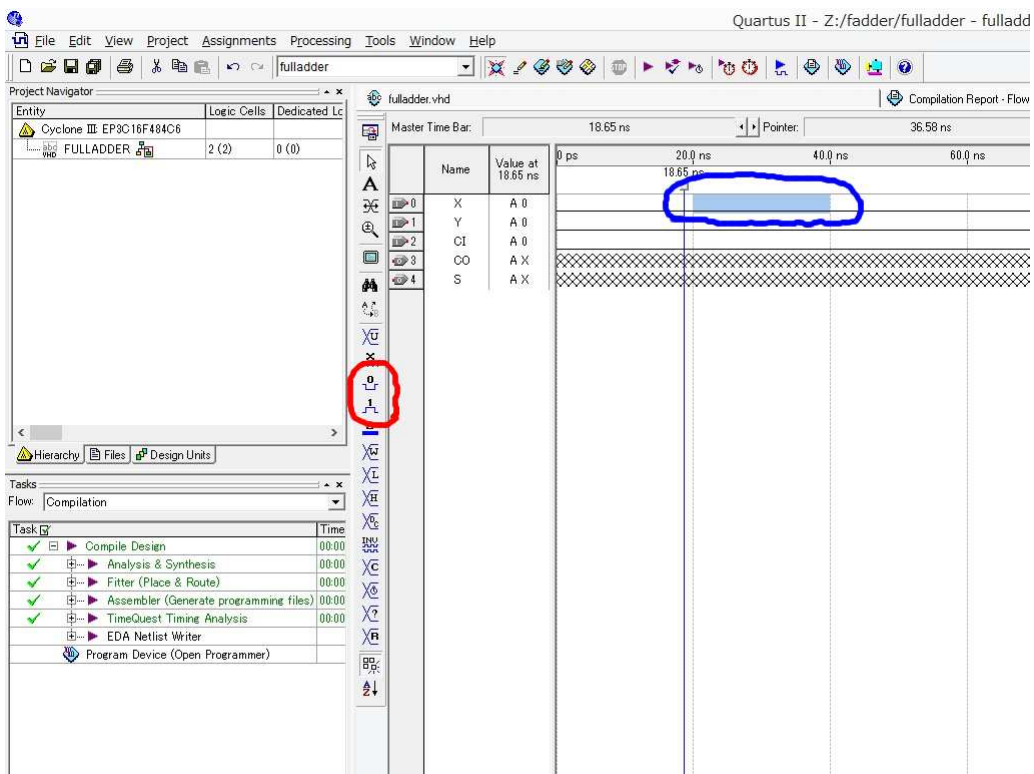


6.5 シミュレーションデータの入力

下図のようにマウスを使ってシミュレーション信号を入力していきます。ここでは、よく利用されると思われる

6.5.1 1グリッド範囲を0または1にする

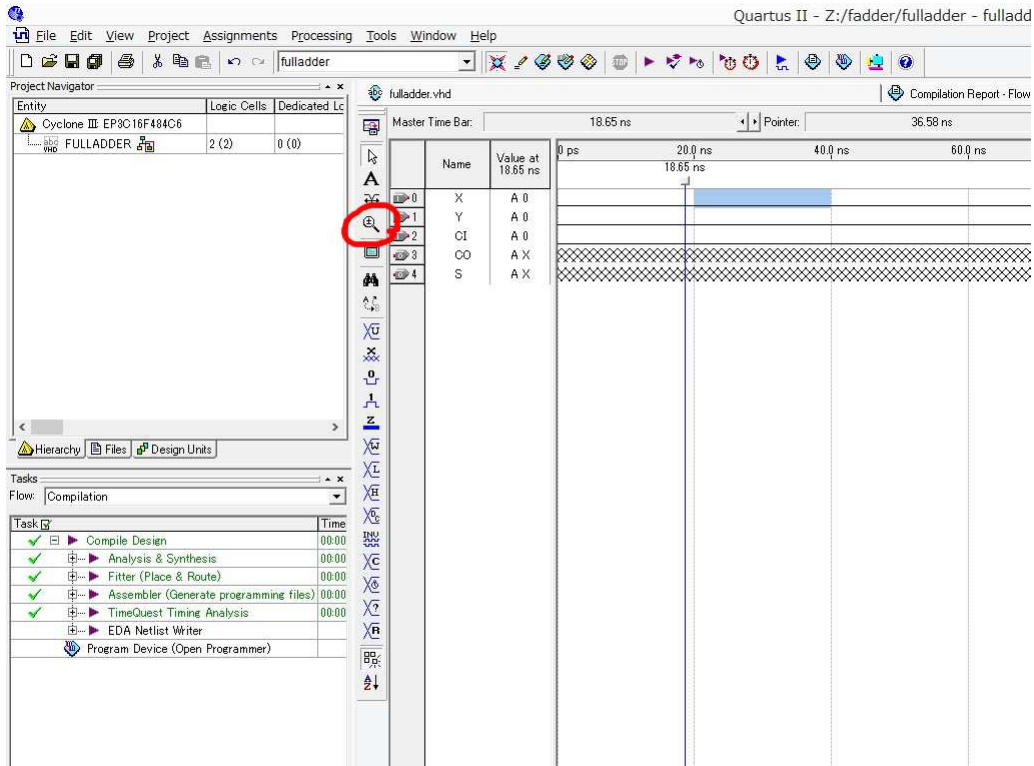
1ビット信号の入力であるグリッド範囲を0または1にする場合には、下図のようにその箇所をマウスで選択し、その後左側の赤色で囲んだボタンにより0/1を指定します。



多ビット信号の場合も同様ですが、その他信号の入力方法等については後ろの「付録1：シミュレーション入力方法」を参照して下さい。

6.5.2 入力ウィンドウの入力範囲を変更する

信号入力時にグリッド幅が大きすぎて広い範囲の信号が入力しにくい場合には、下図の赤色で囲んだボタン（虫眼鏡に±）をクリックし、そのままマウスポインタを入力ウィンドウに移動させると+になっているので、そのままマウスボタンの左右のボタンによりグリッド幅を変更できます。

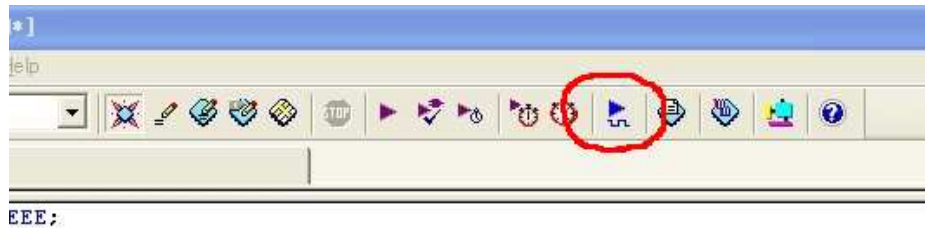


6.6 シミュレーションデータの保存

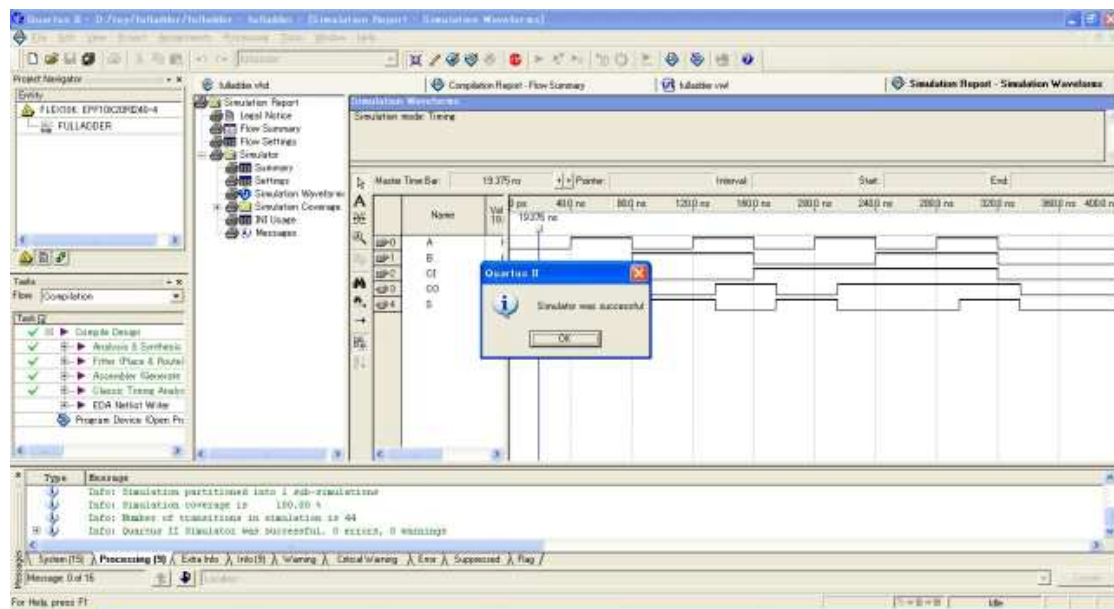
データ入力を終えたら、メニューバーから「File」→「Save」で保存します。保存されていないとシミュレーションできません。

6.7 シミュレーション開始

下図のように上部ツールバーの赤で囲んだボタンをクリックするとシミュレーションが始まります。



シミュレーションが完了すると、下図のように結果が表示されます。シミュレーション結果は、データ入カウインドウとは別ウインドウで表示されます。



第 7 章 設計回路の FPGA への実装

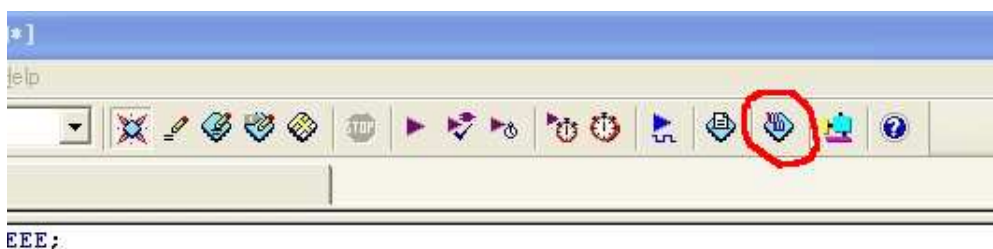
以上までで、望みの回路の設計から実際に目的の FPGA へ実装するための回路の合成を終えました。ここでは、合成された回路を FPGA に実装する (ダウンロードする) 具体的手順について説明します。

この章での作業を行う前に以下について確認して下さい。

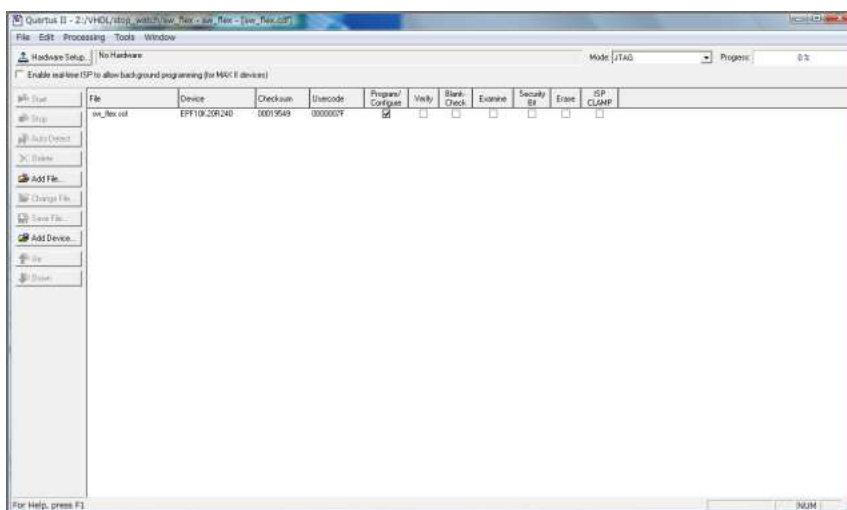
- FPGA ボード (FPGA ボード) がパソコンに接続されているか。
- FPGA ボードが正しく設定されているか
- FPGA ボードに電源が入っているか。

これらが不完全な場合、以降の作業がうまく行われませんので十分注意して下さい。

7.1 回路ダウンロード画面の表示

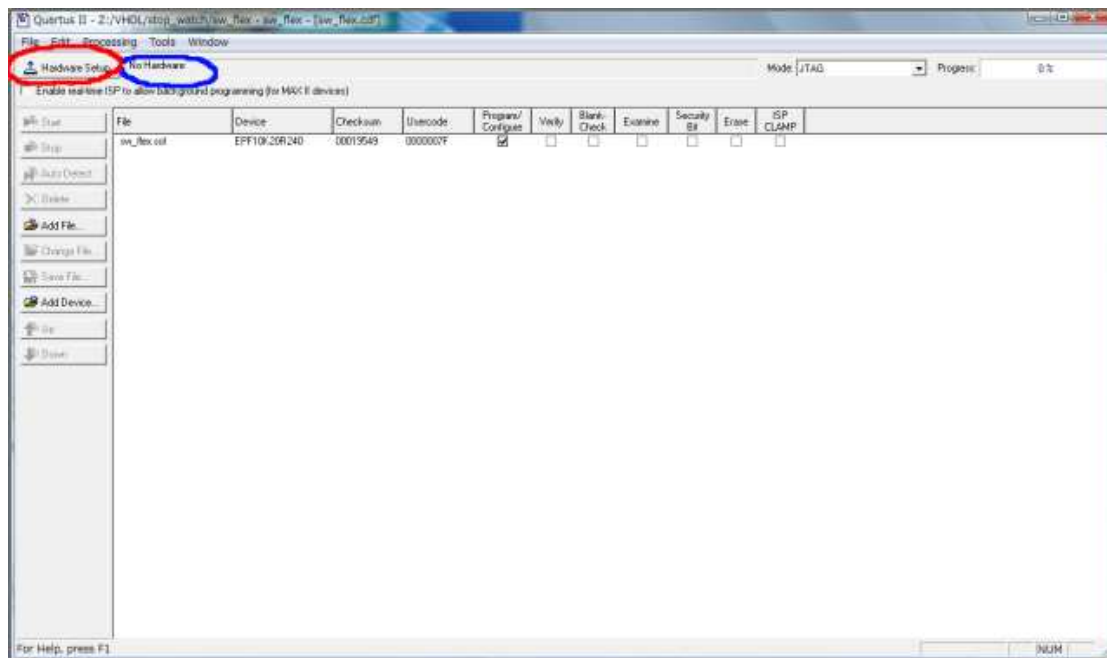


上図のように、メインウィンドウ上部ツールバーの赤で囲んだボタンをクリックします。すると、次のようなダウンロード画面が表示されます。

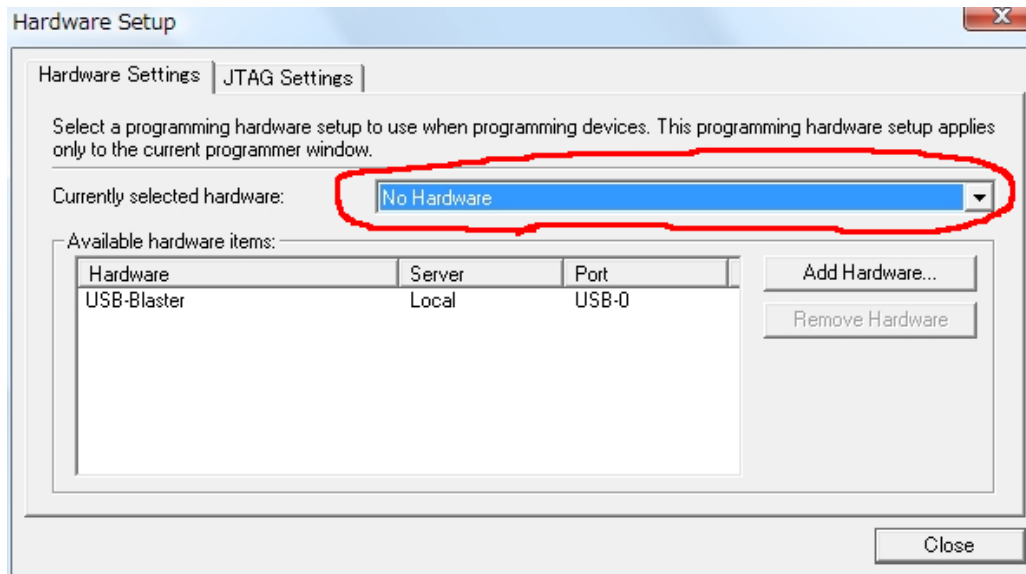


7.2 ダウンロードケーブルの設定

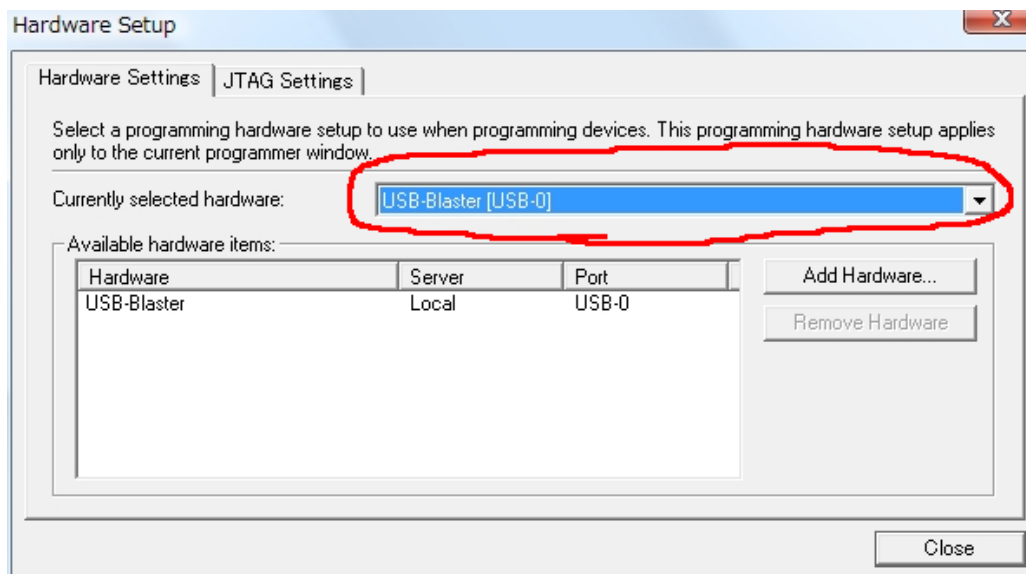
最初の起動時は、下図の青で囲んだ部分が **No Hardware** となっておりダウンロードケーブルの設定がされていません。そこで使用するダウンロードケーブル (Byte Blaster) の設定を行います。始めに、同図の赤で囲んだ「**Hardware Setup**」ボタンをクリックします。



すると下図のようなウィンドウが表示されますので、続いて赤で囲んだプルダウンメニューをクリックして **USB-Blaster [USB-0]** を選択します。



すると、下図のように赤で囲んだ部分が **USB-Blaster [USB-0]** になりますので、ウィンドウ右下の「Close ボタンをクリックします。



下図の青で囲んだ部分に **USB-Blaster [USB-0]** と表示されていることを確認し、必要に応じて「Add File..」等でダウンロードする回路を設定した後、緑で囲んだ **Program/Configure** にチェックが入っていることを確認して、赤で囲んだ「**Start**」ボタンをクリックします。その後右上黄色で囲んだ Progress が 100 % になったらダウンロード終了です。ここで不具合があった場合には、メインウィンドウ下部のログで状態を確認して下さい。

(注) 最初にダウンロードする際に、たまに「**Start**」ボタンをクリックした瞬間にウィンドウが消えてしまうことがあります (原因不明)。その場合には、再度ダウンロードウィンドウを表示して「**Start**」ボタンをクリックしてみてください。



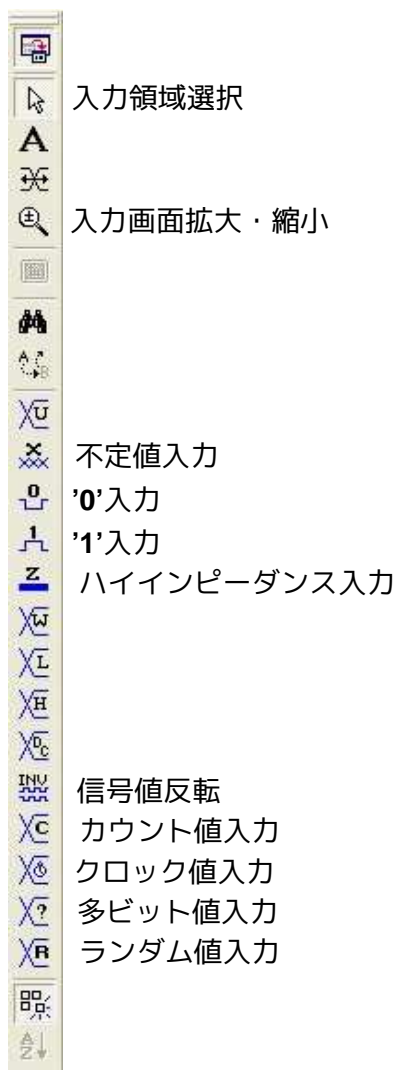
もし回路のダウンロードに不具合があった場合には、本マニュアルの「付録 2 : 回路をダウンロードできない時」を参照して下さい。

第 8 章 付録1：シミュレーションデータ入力

ここでは、**Waveform Editor** でのシミュレーションデータ入力方法について説明します。

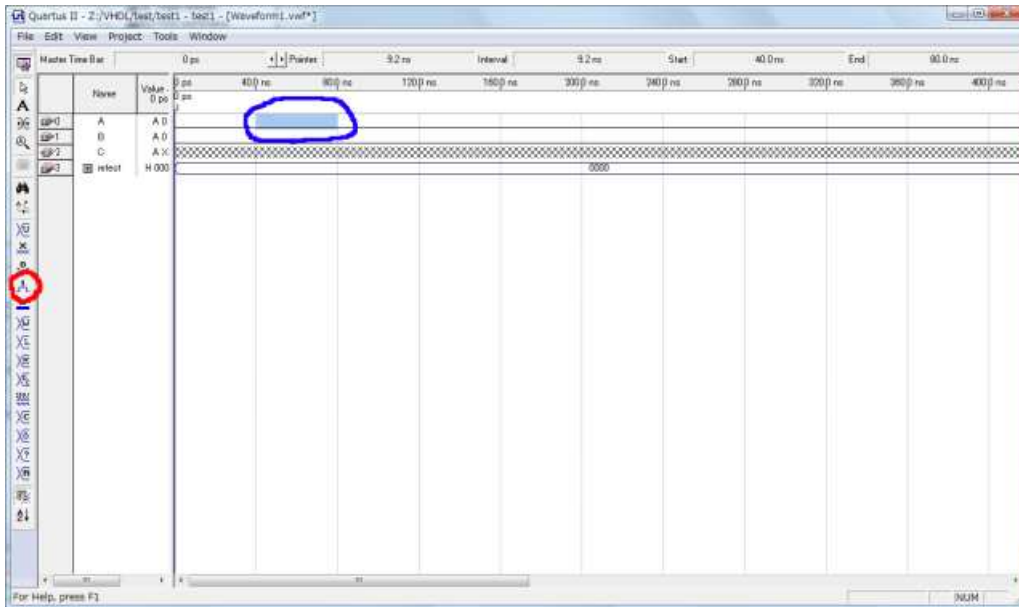
8.1 ツールバー

シミュレーションデータ入力画面左側にあるボタンのうち、よく使うと思われるものは次のとおりです。

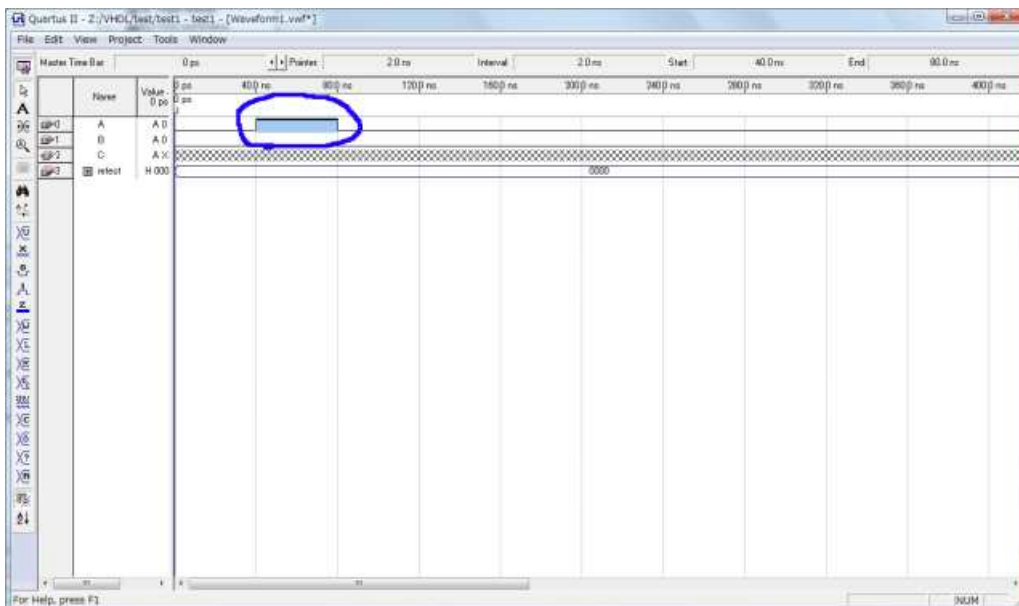


8.21 ビット信号の入力

下図のように、シミュレーションデータ入力画面上の入力したい箇所を青で囲んだ部分のようにマウスで反転表示し、赤で囲んだ '1' ボタンをクリックします。

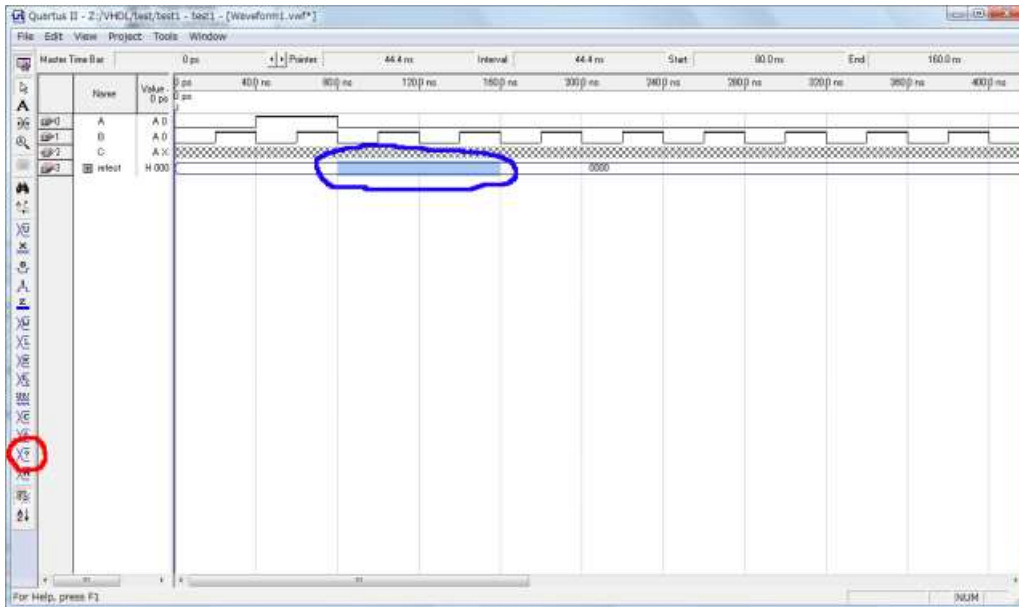


すると、下図のように青で囲んだ部分が1になります。

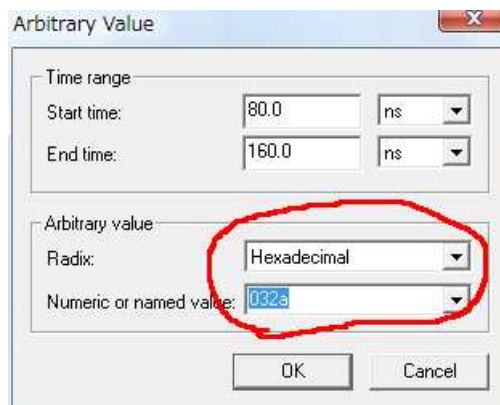


8.3 多ビット信号の入力

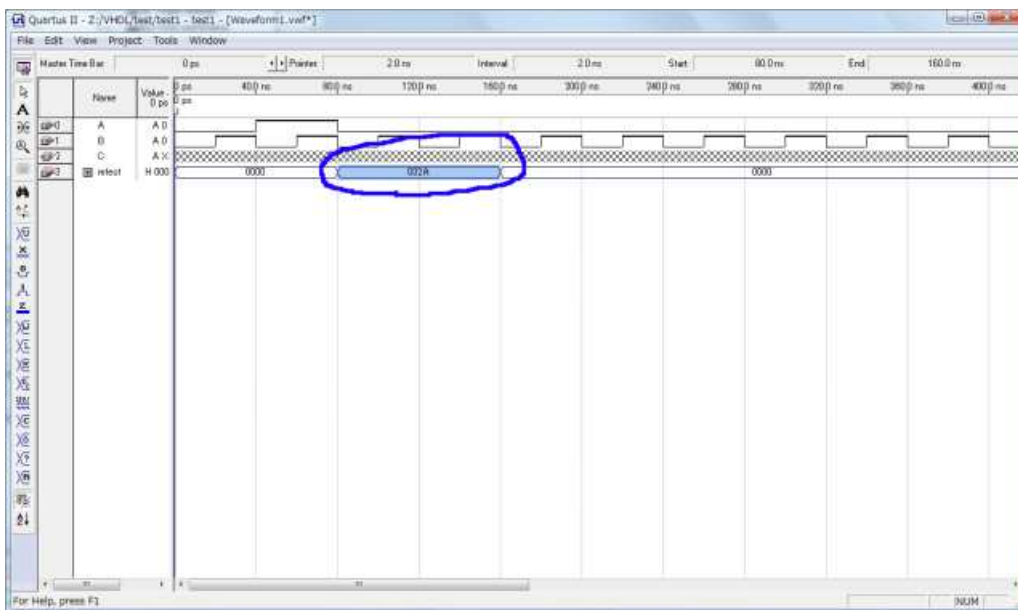
下図のように、1ビット信号入力と同じくシミュレーションデータ入力画面上の入力したい箇所を青で囲んだ部分のようにマウスで反転表示し、赤で囲んだ「?’」ボタンをクリックします。



すると、下図のようなウィンドウが表示されますので、赤で囲んだ部分で表示データ形式と信号値を入力し、「OK」ボタンをクリックします。

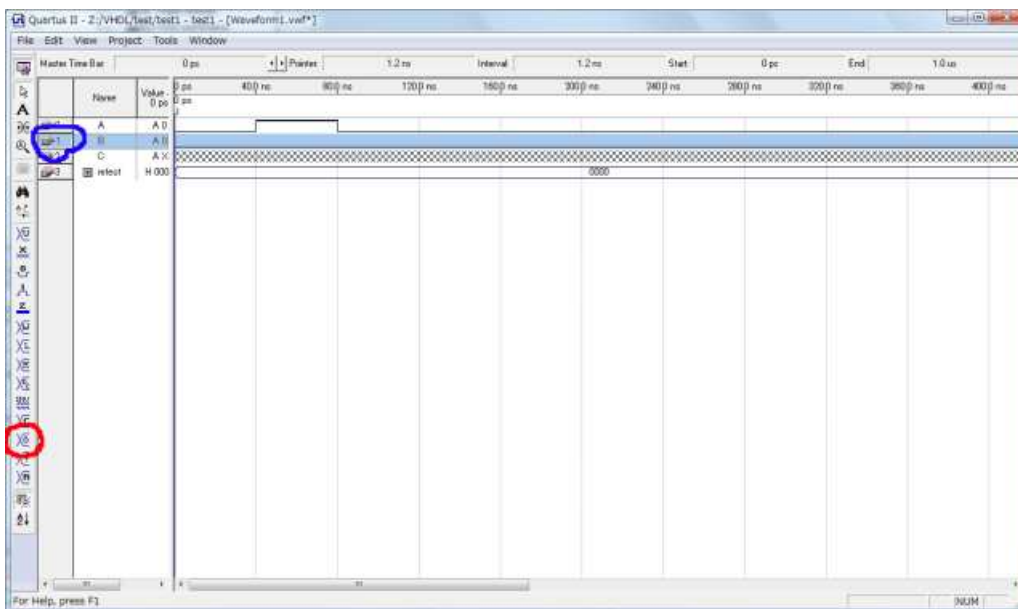


下図のように、反転表示されている部分に信号が入力されます。

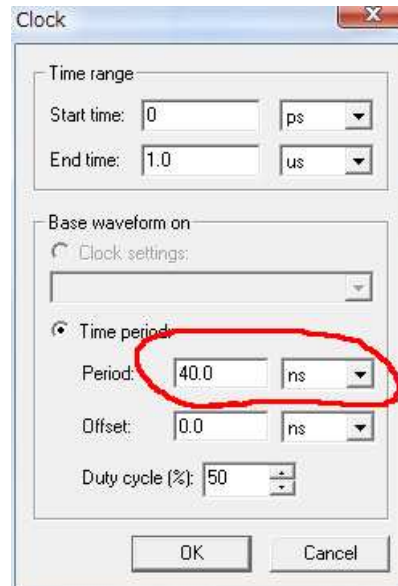


8.4 クロックピンへのクロック信号の入力

下図のように、シミュレーションデータ入力画面上の入力したい箇所を青で囲んだ部分のようにマウスでクリックすると、その行全体が反転表示しますので、赤で囲んだ時計ボタンをクリックします。



すると、下図のようなウィンドウが表示されますので、赤で囲んだ部分で1クロックの時間長を入力し、「OK」ボタンをクリックします。FPGA ボードのグローバルクロック値は 50 MHz ですので、とりあえず 20 ns としておくといと思います。



下図のように、反転表示されている部分にクロック信号が入力されます。

